

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-159151

(43)Date of publication of application : 09.07.1991

(51)Int.Cl. H01L 21/74
 H01L 21/205
 H01L 21/22
 H01L 21/265
 H01L 21/72

(21)Application number : 01-298323

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 16.11.1989

(72)Inventor : MITA KEIJI

TAKADA TADAYOSHI

TAKAHASHI TSUYOSHI

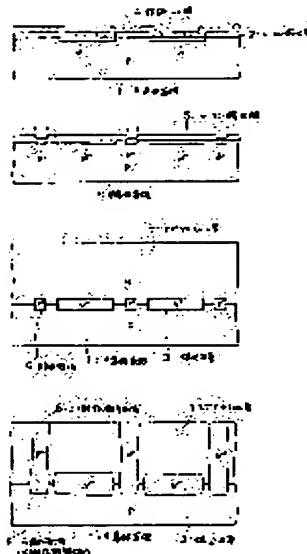
HAYASAKA KATSUHIRO

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To prevent outdiffusion of boron, to prevent development of crystal defects in an epitaxial layer and, thereby, to prevent deterioration in semiconductor device characteristics by providing a peak of boron concentration in a P-type diffusion region in a deeper place than a semiconductor substrate surface before forming the epitaxial layer.

CONSTITUTION: When a semiconductor device is manufactured through a process to form a P-type first diffusion region and an N-type second diffusion region with boron as impurity, a process to thermally treat the semiconductor substrate 1, a process to form an N-type epitaxial layer 7 on the semiconductor substrate 1, and a process to form a semiconductor device on the epitaxial layer 7, a peak of a concentration of the boron is made to exist in a place which is deeper than a surface of the semiconductor substrate 1. For example, antimony is diffused inside the semiconductor substrate 1 from a diffusion source film 4 to form an N+-type diffusion region; then, boron is implanted through a thin silicon oxide film 5 on conditions of about 160keV and an implantation amount of about $2.6 \times 10^{14} \text{cm}^{-2}$, and heat treatment is carried out to form a P+-type diffusion region.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平3-159151

⑪ Int. Cl.⁸

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)7月9日

H 01 L 21/74
21/205
21/22
21/265
21/72

T

7638-5F
7739-5F
7454-5F

7638-5F
7738-5F

H 01 L 21/265

F

審査請求 未請求 請求項の数 3 (全5頁)

⑭ 発明の名称 半導体装置の製造方法

⑮ 特 願 平1-298323

⑯ 出 願 平1(1989)11月16日

⑰ 発 明 者	三 田 恵 司	大阪府守口市京阪本通2丁目18番地	三洋電機株式会社内
⑰ 発 明 者	高 田 忠 良	大阪府守口市京阪本通2丁目18番地	三洋電機株式会社内
⑰ 発 明 者	高 橋 強	大阪府守口市京阪本通2丁目18番地	三洋電機株式会社内
⑰ 発 明 者	早 坂 勝 浩	大阪府守口市京阪本通2丁目18番地	三洋電機株式会社内
⑰ 出 願 人	三洋電機株式会社	大阪府守口市京阪本通2丁目18番地	
⑰ 代 理 人	弁理士 西野 卓嗣	外2名	

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

(1) P型の半導体基板内にボロンを不純物としたP型の第1の拡散領域とN型の第2拡散領域とを形成する工程と、

前記半導体基板を熱処理する工程と、

前記半導体基板上にN型のエピタキシャル層を形成する工程と、

前記エピタキシャル層に半導体素子を形成する工程とを備えた半導体装置の製造方法に於いて、

前記エピタキシャル層を形成する前に、前記ボロン濃度のピークが前記半導体基板表面よりも深い所にあることを特徴とした半導体装置の製造方法。

(2) 前記第1の拡散領域のボロン濃度のピークを実質的に400nm近傍以上に設定することを特徴とした請求項第1項記載の半導体装置の製造方法。

(3) 前記第1の拡散領域は分離領域または埋込層であり、前記第2の拡散領域は埋込層であることを特徴とした請求項第1項または第2項記載の半導体装置の製造方法。

3. 発明の詳細な説明

(イ) 産業上の利用分野

本発明は半導体装置の製造方法に関し、特にボロンのオートドーブを防止する半導体装置の製造方法に関するものである。

(ロ) 従来の技術

一般にボロンのオートドーブに関する技術としては、例えば特願昭83-91974号がある。

この技術はバイポーラトランジスタの製造工程に於いて、N型の埋込層の周囲に極低濃度のP型の拡散層が発生し、コレクタ抵抗が増大してしまう問題を解決するものである。

このP型の拡散層の発生原因は、第1としてボロンが何らかの理由により外部から半導体基板内に侵入する点であり、第2として埋込層の不純物であるアンチモン等よりもボロンの方が拡散係

数が多い点であった。

そのために、この技術では、拡散ソース膜に侵入しているボロンを積極的にアウトデフュージョンし、拡散ソース膜中のボロンの低減をはかってこの問題を解決していた。

(h) 発明が解決しようとする課題

しかしながら、オートドーブするボロンは、拡散ソース膜中のボロンだけを減少させても、未だ発生する問題を有していた。

本発明は、このオートドーブのメカニズムを検討し、特にエピタキシャル層形成前のボロンのドーブ工程に着目した。

具体的にはP⁺型の分離領域やP⁺型の埋込層をボロンで形成する際、一端ドーブしたボロンが雰囲気中にアウトデフュージョンし、再度ドーブされるために発生するメカニズムに着目した。

更には、拡散ソース膜でボロンをドーブすると、半導体基板表面が一番濃度が高くなるため、この表面に結晶欠陥が発生しやすい問題も有った。

能であるが、必ず表面から半導体基板内に向うに従い濃度が低くなり、全体の不純物量が減少してしまう。

そのために本発明はイオン注入法に着目をした。イオン注入法であれば半導体基板内に不純物濃度のピークを設けることができる。しかしイオン注入後は必ずアニール工程を必要とするため、ある程度の深さではアニール工程によって不純物が拡散し、表面が高濃度になってしまう。

従ってイオン注入法で400nm近傍よりも深くピークがなるように設定し、アニール工程を経ても表面の不純物濃度が低くなるように設定することで、オートドーブの低減を達成できる。

しかも以上の説明からも判る通り、半導体基板(1)表面の不純物濃度が低減できるので、結晶欠陥の発生を防止できる。

(h) 実施例

以上に本発明を具体的に説明してゆく。

先ず第1図Aの如く、P型の半導体基板(1)を用意する。この半導体基板(1)は、温度約100

(二) 課題を解決するための手段

本発明は前述の課題に鑑みて成され、

P型の半導体基板(1)内にボロンを不純物としたP型の第1の拡散領域(6)とN型の第2の拡散領域(3)とを形成する工程と、

前記半導体基板(1)を熱処理する工程と、

前記半導体基板(1)上にN型のエピタキシャル層(7)を形成する工程と、

前記エピタキシャル層(7)に半導体素子(9)を形成する工程とを備えた半導体装置の製造方法に於いて、

前記エピタキシャル層(7)を形成する前に、前記ボロン濃度のピークを半導体基板(1)表面よりも深い所に設けることで解決するものである。

(*) 作用

ボロンのオートドーブは、半導体基板(1)表面のボロン濃度が高ければ高い程発生しやすい。

従って半導体基板(1)表面のボロン濃度を低くする必要がある。前記拡散ソース膜を使って半導体基板(1)表面のボロン濃度を低下させる事は可

0℃、スチームの雰囲気内に投入され、表面にシリコン酸化膜(2)が形成される。そして予定のN⁺型の埋込層(3)に対応するシリコン酸化膜(2)をウェットエッチングし、前記半導体基板(1)を露出する。

次に全面に拡散ソース膜(4)を付着し、予定のN⁺型の埋込層(3)に対応する領域にアンチモンをデポジッションする。その後、温度約1300℃、N₂ガスとO₂ガスの混合した雰囲気中で熱処理し、前記アンチモンを半導体基板(1)内に拡散する。

続いて第1図Bの如く、前記拡散ソース膜(4)と前記シリコン酸化膜(2)を除去し、再度シリコン酸化膜(5)を形成し直す。ここでは温度約1000℃、O₂ガス雰囲気中で形成される。

次にホドレジスト膜を全面に付着し、予定のP⁺型の分離領域(6)に対応する領域を除去し、ボロンを約160KeV、注入量約 $2.6 \times 10^{14} \text{ cm}^{-2}$ の条件で注入する。

第2図はこの条件によって達成できた不純物プ

ロファイルであり、ボロン濃度のピークは約400nm近傍に設けられる。第4図は、従来の不純物プロファイルであり、約40KeV、注入量 $4.0 \times 10^{14} \text{cm}^{-2}$ の条件で本発明よりも浅く形成され、約1000nm近傍である。

次に温度約1000°C、N₂ガス雰囲気中でアニールされる。第3図はこのアニール後の不純物プロファイルであり、ピークが400nm近傍であり、第2図と同様に400nmを境に表面に行くに従いボロンの不純物濃度が低下している。

一方第5図は従来の不純物プロファイルであり、第4図で示したプロファイルの半導体基板を前述と同様な条件でアニールした後のものである。図からも判る通り、不純物濃度のピークは半導体基板表面あるいは基板表面の近傍に達している。

以上述べた如く、本発明の特徴とする工程は、この後のエピタキシャル層(7)の形成前に、ボロン濃度のピークが前記半導体基板表面(1)よりも深い所に設けられるように形成する点である。

一方、第5図のプロファイルでは、前記エピタキシャル層表面が若干エッチングされると、濃度のピークがエピタキシャル層表面に達する恐れがあり、更にアウトデフュージョンする事になる。

更に第1図Dの如く、P⁺型の分離領域を形成する工程がある。ここでは上下分離によって達成されているため、下側拡散領域(6)に到達するように上側拡散領域(8)が形成される。

最後に第1図Eの如く、前記上下分離領域(6)、(8)によって形成されるアイランド内に半導体素子(9)を形成する工程がある。図ではNPN型のトランジスタで示してあるが、ダイオード、抵抗およびコンデンサ等でも良い。

以上の説明はP⁺型の分離領域(6)のアウトデフュージョンについてだけを触れた。しかしアウトデフュージョンする領域としては、他にP⁺型の埋込層が考えられる。

これは例えばN型のエピタキシャル層をベースとした縦型のPNPトランジスタを形成する場合、前記N⁺型の埋込層(3)上に更にP⁺型の埋込

第3図と第5図を比較すれば明らかな様に、本発明はエピタキシャル層(7)を形成する直前に、半導体基板(1)の表面は低濃度となっており、ボロンのアウトデフュージョンを防止することができる。

また半導体基板(1)の表面濃度が従来よりも低くなっているため、半導体基板(1)に発生する結晶欠陥を減少させる事ができる。従って後述するエピタキシャル層(7)を形成しても、半導体基板(1)表面の欠陥が少ないため、エピタキシャル層(7)の欠陥発生を防止できる。

続いて第1図Cの如く前記半導体基板(1)上にあるホトレジスト膜とシリコン酸化膜(5)を除去し、N型のエピタキシャル層(7)を形成する工程がある。

本工程では前記シリコン酸化膜(5)を除去する工程に於いて、前記エピタキシャル層(7)も若干エッチングされるが、第3図からも判るように不純物濃度のピークが400nmと深いために、依然表面濃度は低い状態で保たれる。

層を形成する必要がある。このP⁺型の埋込層を形成する際も、前述したP⁺型の分離領域(6)の形成条件と同一で形成することによってボロンのアウトデフュージョンを防止できる。

(1) 発明の効果

以上の説明から明らかな如く、アニール工程等の熱処理工程を経た後でも、前記半導体基板表面のボロンの濃度は、低いのでボロンのアウトデフュージョンを防止でき、その結果ボロンのオートドーブを減らすことができる。その結果エピタキシャル層内に形成される素子特性の改善ができる。

また半導体基板表面のボロンの濃度が低いので結晶欠陥の発生を防止でき、またエピタキシャル層を積層してもこのエピタキシャル層内の結晶欠陥の発生を防止できる。

従ってオートドーブとエピタキシャル層の欠陥による半導体素子特性の劣化を防止できる。

4. 図面の簡単な説明

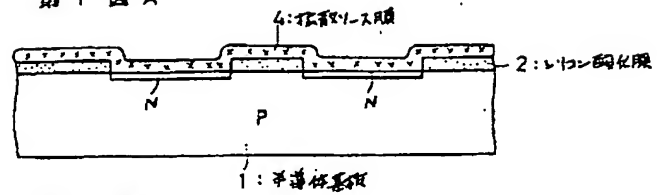
第1図A乃至第1図Eは本発明の半導体装置の

製造方法を示す断面図、第2図および第3図は本発明の半導体装置の不純物プロファイルを示す図、第4図および第5図は従来の半導体装置の不純物プロファイルを示す図である。

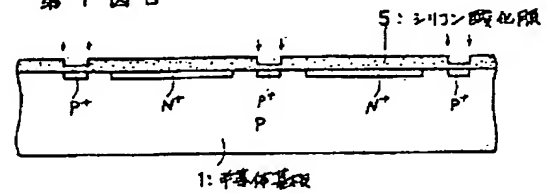
出願人 三洋電機株式会社

代理人 弁理士 西野卓朗 外2名

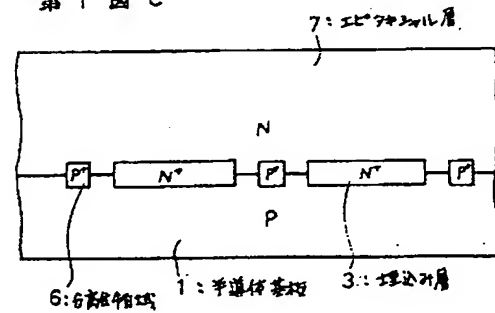
第1図A



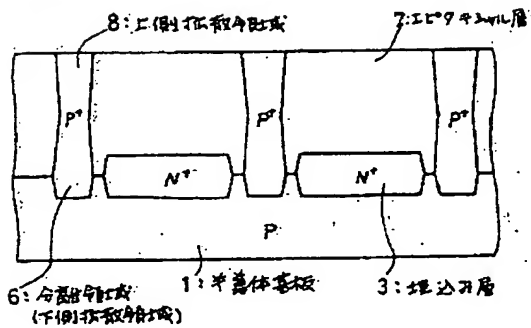
第1図B



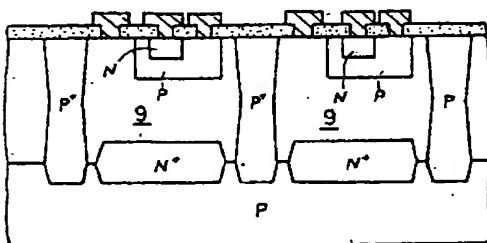
第1図C



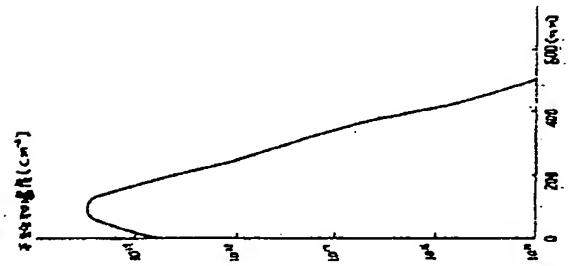
第1図D



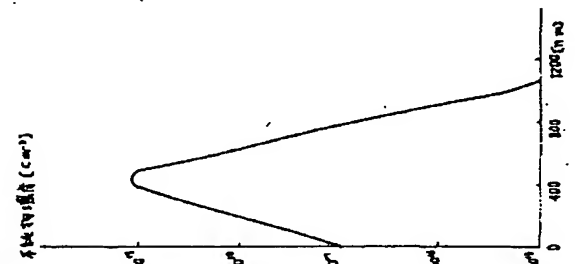
第1図E



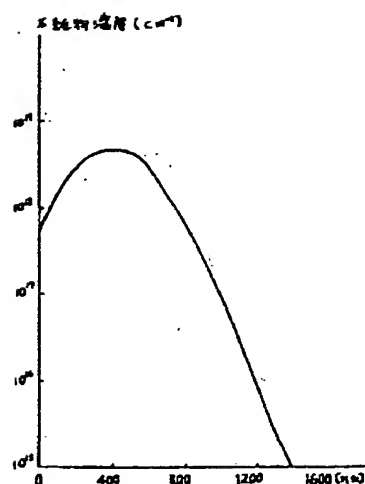
第4図



第2図



第 3 図



第 5 図

